

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124776

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H03K 3/037

G11C 11/22

G11C 19/28

H03K 3/286

(21)Application number : 10-293781

(71)Applicant : ROHM CO LTD

(22)Date of filing : 15.10.1998

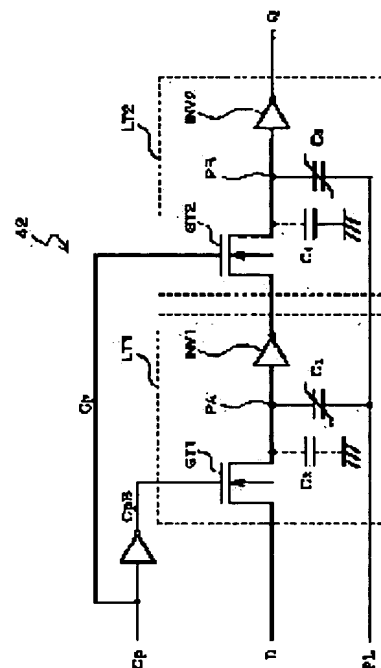
(72)Inventor : NISHIMURA KIYOSHI

(54) SEQUENTIAL CIRCUIT USING FERROELECTRIC AND SEMICONDUCTOR DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile sequential circuit capable of holding data even when power is interrupted.

SOLUTION: For this sequential circuit, to the output terminal of the transistor GT1 of a latch circuit LT1, a ferroelectric capacitor C1 is connected. Even when the power of a device is interrupted, the ferroelectric capacitor C1 holds a polarization state corresponding to input data D. When the power is supplied again, the potential of a PA point is decided corresponding to the polarization state held by the ferroelectric capacitor C1. Corresponding to the potential of the PA point, the potential of a PB point is decided. Corresponding to the potential of the PB point, the value of output Q is decided. Thus, by supplying the power again, a flip-flop circuit 42 is restored to the state before power interruption.



LEGAL STATUS

[Date of request for examination]

31.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124776

(P 2 0 0 0 - 1 2 4 7 7 6 A)

(43) 公開日 平成12年4月28日(2000.4.28)

(51) Int. Cl. ⁷	識別記号	F I	ターコード (参考)
H03K 3/037		H03K 3/037	Z 5J034
G11C 11/22		G11C 11/22	5J043
19/28		19/28	Z
H03K 3/286		H03K 3/286	G

審査請求 未請求 請求項の数 9 O L (全12頁)

(21) 出願番号 特願平10-293781

(22) 出願日 平成10年10月15日(1998.10.15)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 西村 清

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

(74) 代理人 100092956

弁理士 古谷 栄男 (外3名)

Fターム(参考) 5J034 AB15 CB02 DB03 DB04 DB07 DB08

5J043 AA00 DD01 DD02 DD07 HH02

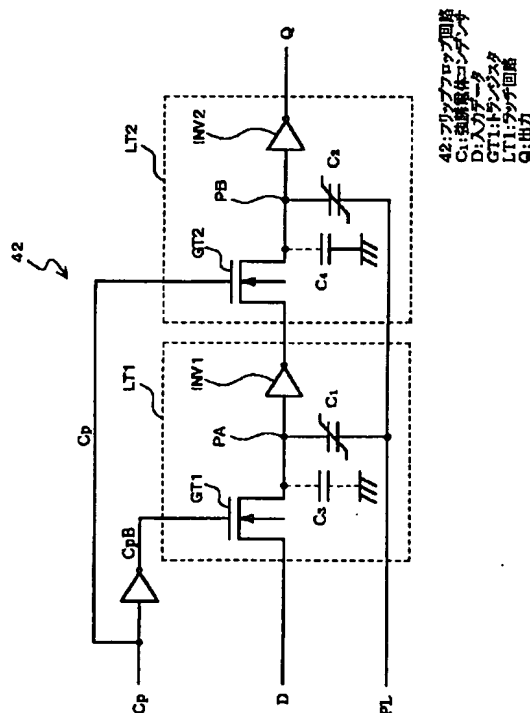
JJ04 JJ05 JJ09 JJ10

(54) 【発明の名称】 強誘電体を用いた順序回路およびこれを用いた半導体装置

(57) 【要約】

【課題】 電源が遮断されてもデータを保持することができる不揮発性の順序回路等を提供する。

【解決手段】 ラッチ回路L T 1のトランジスタG T 1の出力端には、強誘電体コンデンサC 1が接続されている。装置の電源が遮断されても、強誘電体コンデンサC 1は、入力データDに対応した分極状態を保持している。電源を再投入すると、強誘電体コンデンサC 1が保持していた分極状態にしたがって、P A点の電位が決定される。P A点の電位にしたがって、P B点の電位が決定される。P B点の電位にしたがって、出力Qの値が決定される。したがって、電源の再投入により、フリップフロップ回路4 2は、電源遮断前の状態に復帰する。



【特許請求の範囲】

【請求項1】ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに保持された当該データに対応した信号を出力データとして出力するよう構成した順序回路であって、

ゲート部の出力端に結合され、当該出力端に現れる信号に対応した分極状態を保持する強誘電体記憶部を備えたこと、

を特徴とする、強誘電体を用いた順序回路。

【請求項2】請求項1の順序回路において、信号を所定の規格値に規格化する規格化回路を備え、当該規格化回路を介して出力データを出力するよう構成したこと、

を特徴とするもの。

【請求項3】請求項1ないし請求項2のいずれかの順序回路において、

前記強誘電体記憶部を強誘電体コンデンサとしたこと、

を特徴とするもの。

【請求項4】請求項3の順序回路において、前記強誘電体コンデンサの一端を前記ゲート部の出力端に結合するとともに、強誘電体コンデンサの他端に、前記ゲート制御信号に同期した電圧を印加するよう構成したこと、

を特徴とするもの。

【請求項5】ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路を直列に2つ結合した構成を有する順序回路であって、

結合した2つの順序回路のうち少なくとも一方の順序回路が、請求項1ないし請求項4のいずれかの順序回路であり、

入力側の順序回路の出力データを出力側の順序回路の入力データとして出力側の順序回路のゲート部に与え、

入力側の順序回路のゲート部を制御するゲート制御信号と出力側の順序回路のゲート部を制御するゲート制御信号とが相互に反転した位相となるようにしたこと、

を特徴とする、強誘電体を用いた順序回路。

【請求項6】請求項4の順序回路を直列に2つ結合した構成を有する順序回路であって、

入力側の順序回路の出力データを出力側の順序回路の入力データとして出力側の順序回路のゲート部に与え、

入力側の順序回路のゲート部を制御するゲート制御信号と出力側の順序回路のゲート部を制御するゲート制御信

号とが相互に反転した位相となるようにし、

入力側および出力側の順序回路の強誘電体コンデンサの他端に、同一タイミングで前記電圧を印加するよう構成したこと、

を特徴とする、強誘電体を用いた順序回路。

【請求項7】請求項1ないし請求項6のいずれかの回路を用いたこと、

を特徴とする半導体装置。

【請求項8】ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路であって、データに対応した情報を記憶する強誘電体記憶部を備えた順序回路、を用いてデータを記憶して再生する方法であって、

前記保持されたデータに対応した情報を強誘電体記憶部に記憶するとともに、強誘電体記憶部に記憶された情報に基づいて当該データを再生すること、

を特徴とするデータ記憶再生方法。

【請求項9】ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路を2以上結合した構成を有する順序回路であって、データに対応した情報を記憶する強誘電体記憶部を備えた順序回路、を用いてデータを記憶して再生する方法であって、

前記保持されたデータに対応した情報を強誘電体記憶部に記憶するとともに、強誘電体記憶部に記憶された情報に基づいて当該データを再生すること、

を特徴とするデータ記憶再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は順序回路等に関し、特に強誘電体を用いた順序回路等に関する。

【0002】

【従来の技術】ラッチ回路やフリップフロップ回路などの順序回路が知られている。図8に、従来の順序回路の一例として、フリップフロップ回路2を示す。図9は、図8に示すフリップフロップ回路2の動作を示すタイミングチャートである。フリップフロップ回路2は、ラッチ回路4（マスターラッチ回路）とラッチ回路6（スレーブラッチ回路）とを直列に接続して構成されている。なお、図9のPAは、ラッチ回路4の出力信号、すなわち、図8のPA点の信号を表す。

【0003】クロックパルスCpが“H”から“L”に

なると(図9、(a)参照)、ラッチ回路4がラッチ状態となるとともにラッチ回路6がアンラッチ状態となる。したがって、クロックパルスCpの立ち下がり時のデータDn(現在のデータ)に対応するデータ(PA点の信号は、データDnを反転した値になっている)がラッチ回路4にラッチされるとともに、出力Qには、当該データDnが出力される。

【0004】つぎに、クロックパルスCpが“L”から“H”になると(図9、(b)参照)、ラッチ回路4がアンラッチ状態となるとともにラッチ回路6がラッチ状態となる。したがって、データDnがラッチ回路6にラッチされるとともに、出力Qには、やはり当該データDnが出力される。

【0005】つぎに、クロックパルスCpが“H”から“L”になると(図9、(c)参照)、再び、ラッチ回路4がラッチ状態となるとともにラッチ回路6がアンラッチ状態となる。したがって、クロックパルスCpの立ち下がり時のデータDn+1(つぎのデータ)に対応するデータ(PA点の信号は、データDnを反転した値になっている)がラッチ回路4にラッチされるとともに、出力Qには、当該データDn+1が出力される。

【0006】このように、フリップフロップ回路2を用いると、クロックパルスCpの立ち下がり時のタイミングでデータをラッチし、クロックパルスCpの1サイクルに相当する時間の間、ラッチした当該データを出力することができる。このため、データからノイズを除去して、安定した出力を得ることができる。

【0007】したがって、このようなフリップフロップ回路2などの順序回路と、論理ゲートなどの組合せ回路とを多数組合せて用いることで、信頼性の高いシーケンス処理などを行なうことができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記のような従来のフリップフロップ回路2などの順序回路には、次のような問題点があった。従来の順序回路においては、処理中のデータを保持するために、回路に常に電圧を印加しておかなければならない。

【0009】したがって、シーケンス処理の途中において事故などにより電源が遮断された場合、電源が回復しても、事故直前のデータは残っておらず、当該シーケンス処理を事故直前の状態に戻すには、改めてシーケンス処理の最初からやり直さなければならなかった。これでは、無駄が多く、また、処理の信頼性に欠ける。

【0010】この発明は、このような従来のフリップフロップ回路など順序回路の問題点を解消し、電源が遮断されてもデータを保持することができる不揮発性の順序回路等を提供することを目的とする。

【0011】

【課題を解決するための手段、発明の作用および効果】

請求項1の順序回路および請求項7の半導体装置におい

ては、ゲート部の出力端に結合され、当該出力端に現れる信号に対応した分極状態を保持する強誘電体記憶部を備えたことを特徴とする。

【0012】したがって、ラッチ回路などの順序回路を構成するゲート部の出力端に現れる信号を、当該信号に対応した分極状態の形で強誘電体記憶部が保持している。このため、電源が遮断されても、強誘電体記憶部によってデータが保持されていることになる。

【0013】この結果、電源が回復したときに、保持されている当該データを用いて、当該順序回路の状態を、電源が遮断される前の状態に、確実かつ速やかに復帰させることが可能となる。すなわち、不揮発性のラッチ回路などの順序回路を実現することができる。

【0014】請求項2の順序回路においては、信号を所定の規格値に規格化する規格化回路を備え、当該規格化回路を介して出力データを出力するよう構成したことを特徴とする。

【0015】したがって、通常の動作や復帰時の動作において得られる信号が規格値からずれている場合であっても、規格化回路を設けることにより、規格化して出力することができる。このため、後続の処理をより正確に行なうことができる。

【0016】請求項3の順序回路においては、強誘電体記憶部を強誘電体コンデンサとしたことを特徴とする。

【0017】したがって、強誘電体コンデンサを用いることにより、順序回路を構成するゲート部の出力端に現れる信号を、当該強誘電体コンデンサの分極状態として保持することができる。このため、不揮発性の順序回路を、容易に実現することができる。また、順序回路を構成するトランジスタ等の個数を、容易に低減することができる。

【0018】請求項4の順序回路においては、強誘電体コンデンサの一端をゲート部の出力端に結合するとともに、強誘電体コンデンサの他端に、ゲート制御信号に同期した電圧を印加するよう構成したことを特徴とする。

【0019】したがって、ゲート制御信号に同期させて、順序回路を構成するゲート部の出力端に現れる信号を該強誘電体コンデンサに保持させたり、該強誘電体コンデンサに保持された情報を再生したりすることができる。このため、順序回路の出力端に現れる信号を、容易に不揮発的に記憶したり再生したりすることができる。

【0020】請求項5の順序回路および請求項7の半導体装置においては、ゲート制御信号にしたがってデータを継続するゲート部を備え、ゲート部が継続状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路を直列に2つ結合した構成を有する順序回路であって、結合した2つの順序回路のうち少な

くとも一方の順序回路が、請求項1ないし請求項4のいずれかの順序回路であり、入力側の順序回路の出力データを出力側の順序回路の入力データとして出力側の順序回路のゲート部に与え、入力側の順序回路のゲート部を制御するゲート制御信号と出力側の順序回路のゲート部を制御するゲート制御信号とが相互に反転した位相となるようにしたことを特徴とする。

【0021】したがって、フリップフロップ回路などの順序回路を構成する2つのラッチ回路などの順序回路のうち、少なくともいずれか一方の順序回路を構成するゲート部の出力端に現れる信号を、当該信号に対応した分極状態の形で強誘電体記憶部が保持している。このため、電源が遮断されても、強誘電体記憶部によってデータが保持されていることになる。

【0022】この結果、電源が回復したときに、保持されている当該データを用いて、当該ラッチ回路などの順序回路の状態を、電源が遮断される前の状態に、確実に速やかに復帰させることが可能となる。すなわち、不揮発性のフリップフロップ回路などの順序回路を実現することができる。

【0023】請求項6の順序回路においては、請求項4の順序回路を直列に2つ結合した構成を有する順序回路であって、入力側の順序回路の出力データを出力側の順序回路の入力データとして出力側の順序回路のゲート部に与え、入力側の順序回路のゲート部を制御するゲート制御信号と出力側の順序回路のゲート部を制御するゲート制御信号とが相互に反転した位相となるようにし、入力側および出力側の順序回路の強誘電体コンデンサの他端に、同一タイミングで電圧を印加するよう構成したことを特徴とする。

【0024】したがって、フリップフロップ回路などの順序回路を構成する2つのラッチ回路などの順序回路を構成する各ゲート部の出力端に現れる信号を、当該信号に対応した分極状態の形で強誘電体記憶部が保持している。このため、電源が遮断されても、双方の強誘電体記憶部によってデータが保持されていることになる。

【0025】この結果、電源が遮断された場合であっても、電源が遮断される前の状態に、より確実に復帰させることができる。また、通常の動作状態においても、帰還回路を設けることなく、当該信号をより確実に保持することが可能となる。

【0026】請求項8のデータ記憶再生方法においては、ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路であって、データに対応した情報を記憶する強誘電体記憶部を備えた順序回路、を用いてデータを記憶して再

生する方法であって、保持されたデータに対応した情報を強誘電体記憶部に記憶するとともに、強誘電体記憶部に記憶された情報に基づいて当該データを再生することを特徴とする。

【0027】したがって、ラッチ回路などの順序回路に保持されたデータを強誘電体記憶部が記憶している。このため、電源が遮断されても、強誘電体記憶部によってデータが保持されていることになる。

【0028】この結果、電源が回復したときに、保持されている当該データを用いて、当該順序回路の状態を、電源が遮断される前の状態に、確実に速やかに復帰させることが可能となる。

【0029】請求項9のデータ記憶再生方法においては、ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路を2以上結合した構成を有する順序回路であって、データに対応した情報を記憶する強誘電体記憶部を備えた順序回路、を用いてデータを記憶して再生する方法であって、保持されたデータに対応した情報を強誘電体記憶部に記憶するとともに、強誘電体記憶部に記憶された情報に基づいて当該データを再生することを特徴とする。

【0030】したがって、フリップフロップ回路などの順序回路に保持されたデータを強誘電体記憶部が記憶している。このため、電源が遮断されても、強誘電体記憶部によってデータが保持されていることになる。

【0031】この結果、電源が回復したときに、保持されている当該データを用いて、当該順序回路の状態を、電源が遮断される前の状態に、確実に速やかに復帰させることが可能となる。

【0032】なお、請求項において「強誘電体記憶部」とは、強誘電体の履歴特性を用いて情報を記憶する部分をいい、強誘電体トランジスタや強誘電体コンデンサその他の他、これらを組合せた回路をも含む概念である。実施形態では、図1に示す強誘電体コンデンサC1、C2が、これに該当する。

【0033】

【発明の実施の形態】図1は、この発明の一実施形態による半導体装置に用いられる順序回路であるフリップフロップ回路42を示す回路図である。フリップフロップ回路42は、順序回路であるラッチ回路LT1（マスターラッチ回路）とラッチ回路LT2（スレーブラッチ回路）とを直列に接続した構成を有する基本的なDフリップフロップ回路である。

【0034】ラッチ回路LT1は、ゲート部であるトランジスタGT1（NチャンネルMOSFET）、強誘電体記憶部である強誘電体コンデンサC1および規格化回路

であるインバータ回路部 INV1 を備えている。

【0035】なお、インバータ回路部 INV1 は、たとえば CMOS インバータ回路であり、P チャネル MOS FET であるトランジスタ PT と N チャネル MOS FET であるトランジスタ NT とを直列に接続した構成（図示せず）を備えている。

【0036】強誘電体コンデンサ C1 は、2つの電極間に PZT 等により構成された強誘電体層を挟み込むように形成したものである。強誘電体コンデンサ C1 は、後述するように、入力データ D に対応した分極状態を保持する。

【0037】強誘電体コンデンサ C1 の一端は、図1に示すラッチ回路 LT1 のトランジスタ GT1 の出力端に接続されるとともに、インバータ回路部 INV1 の入力端に接続されている。強誘電体コンデンサ C1 の他端は、プレートライン PL に接続されている。また、トランジスタ GT1 の出力端からインバータ回路部 INV1 の入力端に至る配線とグランドとの間には、寄生容量 C3 が存する。

【0038】図1に示すように、ラッチ回路 LT1 は、帰還路を備えていない。しかし、強誘電体コンデンサ C1 や上述の寄生容量 C3 が存在するため、トランジスタ GT1 の出力端からインバータ回路部 INV1 の入力端に至る配線がフローティング状態となっても（すなわち、トランジスタ GT1 が OFF 状態になっても）、該配線の電位はしばらく維持される。したがって、クロックパルス Cp の周期がそれほど長くない限り、帰還路を備えていなくとも、後述するように、ラッチ回路 LT1 のラッチ内容は保持されるのである。

【0039】トランジスタ GT1 を介して入力された入力データ D は、インバータ回路部 INV1 で反転された後、ラッチ回路 LT2 に入力される。ラッチ回路 LT2 も、ラッチ回路 LT1 と同様の構成であり、ゲート部であるトランジスタ GT2、強誘電体コンデンサ C2、インバータ回路部 INV2、寄生容量 C4 を備えている。トランジスタ GT2 は、トランジスタ GT1 と同様の構成であり、インバータ回路部 INV2 は、インバータ回路部 INV1 と同様の構成である。

【0040】ラッチ回路 LT2 の動作も、ラッチ回路 LT1 のそれと同様である。すなわち、トランジスタ GT2 を介して入力されたインバータ回路部 INV1 の出力は、インバータ回路部 INV2 で反転された後、フリップフロップ回路 42 の出力 Q となる。

【0041】ラッチ回路 LT2 のトランジスタ GT2 のゲートには、ゲート制御信号であるクロックパルス Cp が与えられ、ラッチ回路 LT1 のトランジスタ GT1 のゲートには、クロックパルス Cp の反転信号であるクロックパルス CpB（制御信号）が与えられる。プレートライン PL には、図2に示すように、クロックパルス Cp に同期した信号が与えられる。

【0042】フリップフロップ回路 42 の動作は、図8に示す従来のフリップフロップ回路 2 の動作（図9参照）と類似しているが、後述するように、電源が遮断されてもデータを保持している点で、従来のフリップフロップ回路 2 と異なる。なお、この実施形態においては、フリップフロップ回路 2 の場合と異なり、クロックパルス Cp の立ち上がりのタイミングで入力データ D をラッチするようにしている。

【0043】図2に示すタイミングチャートを用いて、フリップフロップ回路 42 の動作を説明する。

【0044】クロックパルス Cp が "L" から "H" になると（図2、（a）参照）、ラッチ回路 LT1 のトランジスタ GT1 が OFF（断状態）になるとともに、ラッチ回路 LT2 のトランジスタ GT2 が ON（継状態）になる。したがって、クロックパルス Cp の立ち上がり時のデータ Dn（現在のデータ）に対応するデータがラッチ回路 LT1 にラッチされるとともに、出力 Q には、当該データ Dn が出力される。

【0045】つぎに、クロックパルス Cp が "H" から "L" になると（図2、（b）参照）、ラッチ回路 LT1 のトランジスタ GT1 が ON（継状態）になるとともに、ラッチ回路 LT2 のトランジスタ GT2 が OFF（断状態）になる。したがって、データ Dn がラッチ回路 LT2 にラッチされるとともに、出力 Q には、やはり当該データ Dn が出力される。

【0046】つぎに、クロックパルス Cp が "L" から "H" になると（図2、（c）参照）、再び、ラッチ回路 LT1 のトランジスタ GT1 が OFF（断状態）になるとともに、ラッチ回路 LT2 のトランジスタ GT2 が ON（継状態）になる。したがって、クロックパルス Cp の立ち上がり時のデータ Dn+1（つぎのデータ）に対応するデータがラッチ回路 LT1 にラッチされるとともに、出力 Q には、当該データ Dn+1 が出力される。

【0047】このように、フリップフロップ回路 42 を用いると、クロックパルス Cp の立ち上がりのタイミングでデータをラッチし、クロックパルス Cp の 1 サイクルに相当する時間の間、ラッチした当該データを出力することができる。

【0048】上述のように、このフリップフロップ回路 42 は、従来のフリップフロップ回路 2 と異なり、電源が遮断されてもデータを保持している。データの保持および再生の動作について説明する。なお、図1の PA 点は、強誘電体コンデンサ C1 の一端を表わし、PB 点は、強誘電体コンデンサ C2 の一端を表わす。

【0049】図3に、ラッチ回路 LT1 を構成する強誘電体コンデンサ C1 および寄生容量 C3 近傍の回路図を示す。図4に、強誘電体コンデンサ C1 に関する電圧（図3に示すプレートライン PL を基準電位とした場合の PA 点の電位）と分極状態（図においては、"分極状態" と等価な "電荷" で表わしている）との関係を表わ

す履歴曲線（電圧・電荷特性）を示す。

【0050】図4において、残留分極Z1を生じている状態を分極状態P1とし、残留分極Z2を生じている状態を分極状態P2とする。

【0051】上述のように、クロックパルスCpの立ち上がり時、すなわち、クロックパルスCpが“L”から“H”になる（図2、(a)参照）直前のデータDn（この実施形態では、データ“H”）がラッチ回路LT1にラッチされる。図3は、図2、(a)の直前における強誘電体コンデンサC1および寄生容量C3近傍の信号の状態を示している。

【0052】このとき、図3に示すように、強誘電体コンデンサC1の一端（PA点）には、データ“H”により“H”電位が与えられており、強誘電体コンデンサC1の他端（プレートラインPL）には“L”電位が与えられている。

【0053】これにより、寄生容量C3とともに強誘電体コンデンサC1が充電される。このとき、強誘電体コンデンサC1は、図4に示す分極状態P3を呈する。

【0054】このあと、クロックパルスCpが立ち上がり（図2、(a)参照）“H”になると、トランジスタGT1がOFFとなるが、充電された寄生容量C3および強誘電体コンデンサC1の電荷により、PA点の電位はそれほど変化しない。すなわち、上述のように、しばらくの間データ“H”がラッチ回路LT1にラッチされた状態になる。

【0055】このあと、クロックパルスCpが立ち下がり（図2、(b)参照）“L”になると、トランジスタGT1がONとなり、再び、図3に示す状態に戻り、寄生容量C3および強誘電体コンデンサC1が充電状態となる。この間、強誘電体コンデンサC1の分極状態は、やや変動するものの、ほぼ図4に示す分極状態P3を維持することとなる。

【0056】この状態で、つぎにプレートラインPLが“H”になると（図2、(d)参照）、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P1になる。このように、入力データDが“H”の場合、強誘電体コンデンサC1の分極状態は、ほぼ、図4に示す分極状態P3と分極状態P1との間を往來することになる。すなわち、強誘電体コンデンサC1の分極状態P3ないし分極状態P1が、データ“H”に対応する。

【0057】その後、入力データDが“L”になると（図2、(e)参照）、PA点の電位も“L”となる（図2、(h)参照）。PA点の電位が“L”になったとき、プレートラインPLが“H”であれば、寄生容量C3が強制的に放電させられるとともに、強誘電体コンデンサC1は、PA点側を“L”、プレートラインPL側を“H”として（図3に示す状態と逆の状態）充電される（図2、(f)参照）。したがって、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P4とな

る。

【0058】この状態で、つぎにプレートラインPLが“L”になると（図2、(g)参照）、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P2になる。このように、入力データDが“L”の場合、強誘電体コンデンサC1の分極状態は、ほぼ、図4に示す分極状態P4と分極状態P2との間を往來することになる。すなわち、強誘電体コンデンサC1の分極状態P4ないし分極状態P2が、データ“L”に対応する。

【0059】なお、PA点の電位が“L”になったとき（図2、(h)参照）プレートラインPLが既に“L”になっていた場合には、強誘電体コンデンサC1は強制的に放電させられ、図4に示す分極状態P1となる。したがって、この場合には、強誘電体コンデンサC1は、まだ、データ“H”に対応した分極状態となっている。このような場合、強誘電体コンデンサC1が、データ“L”に対応した分極状態になるのは、次にトランジスタGT1がONとなり、かつ、プレートラインPLが“H”になるとき（図2、(i)参照）である。

【0060】このように、強誘電体コンデンサC1の分極状態は、入力データDが変化するタイミングにより多少のバラ付きはあるものの、ほぼ入力データDに対応して変化するPA点の電位にしたがって、変化する。

【0061】同様に、ラッチ回路LT2を構成する強誘電体コンデンサC2の分極状態は、入力データDが変化するタイミングにより多少のバラ付きはあるものの、ほぼPA点の電位を反転させたPB点の電位にしたがって、変化する。したがって、強誘電体コンデンサC2は、強誘電体コンデンサC1とはほぼ逆の分極状態となっている。

【0062】つぎに、強誘電体コンデンサC1がデータ“L”に対応する分極状態において電源が遮断されたとする（図2、(j)参照）。電源が遮断されてからしばらくすると、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P2になる。なお、寄生容量C3は放電状態となる。

【0063】電源投入により、クロックパルスCpを“H”にするとともにプレートラインPLを“H”とするよう構成しておく。このように構成しておけば、電源の投入（図2、(k)参照）とともに、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P5となる。すなわち、この場合、図式解法によれば、グランドを基準としたPA点の電位は、図4に示す $V_2 - V_p$ （図2、(l)参照）となる。PA点の電位（ $V_2 - V_p$ ）は、基準値 $V_{ref} - V_p$ より小さいので、論理レベルとしては“L”である。

【0064】このとき、ラッチ回路LT2のトランジスタGT2はONになっているので、PB点の電位は、ラッチ回路LT1のインバータ回路部INV1の働きにより“H”レベルとなる（図2、(m)参照）。

【0065】PB点の電位が“H”になると、ラッチ回路LT2のインバータ回路部INV2の働きにより、出力Qは、“L”となる(図2、(n)参照)。

【0066】このようにして、電源遮断直前にフリップフロップ42が保持していたデータ“L”が、電源の復帰とともに再生される。なお、図4におけるVpは、プレートラインPLの“H”電位を表わし、L1は、寄生容量C3の静電容量を表わす。

【0067】一方、強誘電体コンデンサC1がデータ“H”に対応する分極状態において電源が遮断されると、電源が遮断されてからしばらくすると、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P1になる。なお、寄生容量C3は放電状態となっている。

【0068】ここで、電源を投入することによって(図2、(k)参照)、強誘電体コンデンサC1の分極状態は、図4に示す分極状態P6となる。すなわち、グランドを基準としたPA点の電位は、図4に示すV1-Vp(図2、(l'))参照)となる。PA点の電位(V1-Vp)は、基準値Vref-Vpより大きいので、論理レベルとしては“H”である。

【0069】このとき、ラッチ回路LT2のトランジスタGT2はONになっているので、PB点の電位は、ラッチ回路LT1のインバータ回路部INV1の働きにより“L”レベルとなる(図2、(m')参照)。

【0070】PB点の電位が“L”になると、ラッチ回路LT2のインバータ回路部INV2の働きにより、出力Qは、“H”となる(図2、(n')参照)。

【0071】このようにして、電源遮断直前にフリップフロップ42が保持していたデータ“H”が、電源の復帰とともに再生される。

【0072】なお、その後、クロックパルスCpが“L”になることで(図2、(o)参照)トランジスタGT1がONになると、PA点の電位は、新たな入力データD(ここでは“L”)にしたがって、“L”となる。ただし、トランジスタGT2がOFFであるため、PB点の電位は“L”のままである。したがって、出力Qは“H”のままである。出力Qが、新たな入力データ“L”にしたがって、“L”となるのは、前述のように、次のクロックパルスCpの立上がり(図2、(p)参照)である。

【0073】このように、電源遮断直前にフリップフロップ42が保持していたデータに対応する強誘電体コンデンサC1の分極状態にしたがって、電源の復帰とともに当該データが再生されるのである。なお、上述のように、強誘電体コンデンサC1の分極状態にしたがって前記データが再生されるように構成する場合には、ラッチ回路LT2を構成する強誘電体コンデンサC2を省略することもできる。

【0074】上述の実施形態においては、ラッチ回路LT1を構成する強誘電体コンデンサC1の保持している

分極状態にしたがって、電源遮断直前にフリップフロップ42が保持していたデータを再生するよう構成したが、この発明はこれに限定されるものではない。

【0075】たとえば、ラッチ回路LT2を構成する強誘電体コンデンサC2の保持している分極状態にしたがって、電源遮断直前にフリップフロップ42が保持していたデータを再生するよう構成することもできる。この場合には、電源の投入により、クロックパルスCpを“L”にするとともにプレートラインPLを“H”とするよう構成しておくといよい。なお、強誘電体コンデンサC2の分極状態にしたがって、前記データが再生されるように構成する場合には、ラッチ回路LT1を構成する強誘電体コンデンサC1を省略することもできる。

【0076】ただし、図1に示すように、強誘電体コンデンサC1、C2をともに備えるようにしておけば、電源投入時のクロックパルスCpの状態に制限を設ける必要がないので、好都合である。

【0077】このように、このフリップフロップ回路42においては、トランジスタGT1、GT2のそれぞれ出力端に接続され、当該出力端に現れる信号に対応した分極状態を保持する強誘電体コンデンサC1、C2を備えている。

【0078】したがって、フリップフロップ回路42を構成するトランジスタGT1、GT2の出力端に現れる信号を、当該信号に対応した分極状態の形で強誘電体コンデンサC1、C2が保持している。このため、電源が遮断されても、強誘電体コンデンサC1、C2によってデータが保持されていることになる。

【0079】この結果、電源が回復したときに、保持されている当該データを用いて、当該フリップフロップ回路42の状態を、電源が遮断される前の状態に、確実にかつ速やかに復帰させることが可能となる。すなわち、不揮発性のフリップフロップ回路を実現することができる。

【0080】また、強誘電体の分極反転に要する時間は短いので、データの書込みに際し、強誘電体コンデンサC1、C2が入力データDに対応した分極状態に至るまでの時間は短い。したがって、高速応答が可能となる。

【0081】さらに、強誘電体の場合、データの書込み、消去時に高電圧を要することはない。したがって、チップ内に昇圧回路を設けたり、通常電源の他に高圧電源を別途用意したりする必要がない。このため、チップサイズの増大や製造コストの上昇を抑制することができる。

【0082】また、この実施形態においては、信号を所定の規格値に規格化する規格化回路としてインバータ回路部INV1、INV2を備え、当該インバータ回路部INV1、INV2を介してデータを出力するよう構成している。

【0083】したがって、通常の動作や復帰時の動作に

において得られる信号が規格値からずれている場合であっても、インバータ回路部 INV1、INV2 を設けることにより、規格化して出力することができる。このため、後続の処理をより正確に行なうことができる。

【0084】また、この実施形態においては、強誘電体記憶部を強誘電体コンデンサ C1、C2 としている。したがって、フリップフロップ回路 42 を構成するトランジスタ GT1、GT2 の出力端に現れる信号を、当該強誘電体コンデンサ C1、C2 の分極状態として保持することができる。このため、不揮発性のフリップフロップ回路を、容易に実現することができる。また、フリップフロップ回路を構成するトランジスタ等の個数を、容易に低減することができる。

【0085】また、この実施形態においては、強誘電体コンデンサ C1、C2 の一端 (PA 点、PB 点) をトランジスタ GT1、GT2 の出力端に結合するとともに、強誘電体コンデンサ C1、C2 の他端に、クロックパルス Cp に同期した電圧を印加するよう構成している。

【0086】したがって、クロックパルス Cp に同期させて、フリップフロップ回路 42 を構成するトランジスタ GT1、GT2 の出力端に現れる信号を該強誘電体コンデンサ C1、C2 に保持させたり、該強誘電体コンデンサ C1、C2 に保持された情報を再生したりすることができる。このため、フリップフロップ回路にラッチされているデータを、容易に不揮発的に記憶したり再生したりすることができる。

【0087】なお、上述の実施形態においては、ゲート部としてトランジスタ GT1、GT2 を用いたが、ゲート部はこれに限定されるものではない。ゲート部として、たとえば、伝送ゲートやクロックド CMOS インバータ等を用いることもできる。

【0088】なお、上述の各バリエーションは、以下に述べる種々の他の実施形態においても、同様に適用することができる。

【0089】上述の各実施形態においては、基本的な D フリップフロップ回路を例に説明したが、この発明はこれに限定されるものではない。たとえば、S-R (セット・リセット) 付きの D フリップフロップ回路や、J-K フリップフロップ回路など、フリップフロップ回路一般に適用することができる。

【0090】図 5 に、この発明を適用した S-R (セット・リセット) 付きの D フリップフロップ回路の一例であるフリップフロップ回路 44 の回路図を示す。図 6 は、フリップフロップ回路 44 の動作を示すテーブルである。

【0091】フリップフロップ回路 44 は、図 1 に示すフリップフロップ回路 42 と同様に、順序回路であるラッチ回路 LT1 (マスターラッチ回路) とラッチ回路 LT2 (スレーブラッチ回路) とを直列に接続した構成を有する。

【0092】ラッチ回路 LT1 の出力端には、インバータ回路部 INV1 (図 1 参照) ではなく、複数の論理ゲートを組合せた論理ゲート部 LG1 が接続されている。論理ゲート部 LG1 には、PA 点からの信号、リセット端子 R からの信号、セット端子 S からの信号が入力される。論理ゲート部 LG1 の出力が、ラッチ回路 LT1 の出力となる。

【0093】図 6 に示すように、リセット端子 R に信号 "H" を入力することにより、フリップフロップ回路 44 の記憶内容をリセット (クリア) することができ、リセット端子 R に信号 "L" を入力するとともにセット端子 S に信号 "H" を入力することにより、フリップフロップ回路 44 の記憶内容をセット (プリセット) することができる。

【0094】また、リセット端子 R およびセット端子 S に信号 "L" を与えておけば、上述のフリップフロップ回路 42 (図 1 参照) と同様の働きをする。

【0095】ラッチ回路 LT2 も、ラッチ回路 LT1 と同様の構成であり、論理ゲート部 LG2 を備えている。論理ゲート部 LG2 は、論理ゲート部 LG1 と同様の構成である。

【0096】このように、フリップフロップ回路 44 は、セット端子 S、リセット端子 R を備えていること、および、インバータ回路部 INV1、INV2 に代えて、論理ゲート部 LG1、論理ゲート部 LG2 を備えていることを除けば、図 1 に示すフリップフロップ回路 42 と同様の構成である。

【0097】図 7 A は、この発明を適用した J-K フリップフロップ回路の一例であるフリップフロップ回路 46 の回路図を示す。図 7 B は、フリップフロップ回路 46 の動作を示すテーブルである。

【0098】フリップフロップ回路 46 は、図 1 に示すフリップフロップ回路 42 と、複数の論理ゲートを組合せた論理ゲート部 LG とを備えている。論理ゲート部 LG には、入力として、入力端子 J からの入力、入力端子 K からの入力、および、フリップフロップ回路 42 からの出力 Q が与えられる。論理ゲート部 LG の出力は、フリップフロップ回路 42 の入力端子 D に与えられる。

【0099】図 7 B に示すように、入力端子 J に信号 "H" を与えるとともに入力端子 K に信号 "L" を与えれば、クロックパルス Cp の立上がりで、出力 Q からデータ "H" が出力される。逆に、入力端子 J に信号 "L" を与えるとともに入力端子 K に信号 "H" を与えれば、クロックパルス Cp の立上がりで、出力 Q からデータ "L" が出力される。

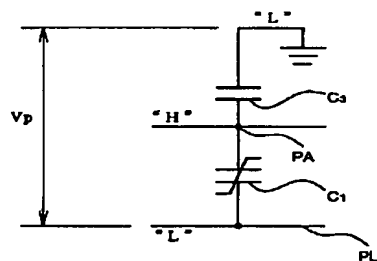
【0100】また、入力端子 J および入力端子 K の双方に信号 "H" を与えれば、クロックパルス Cp の立上がりで、出力 Q の内容が反転する。一方、入力端子 J および入力端子 K の双方に信号 "L" を与えれば、出力 Q の内容は保持される。

【図 3】 ラッチ回路 L T 1 を構成する強誘電体コンデン

【符号の説明】

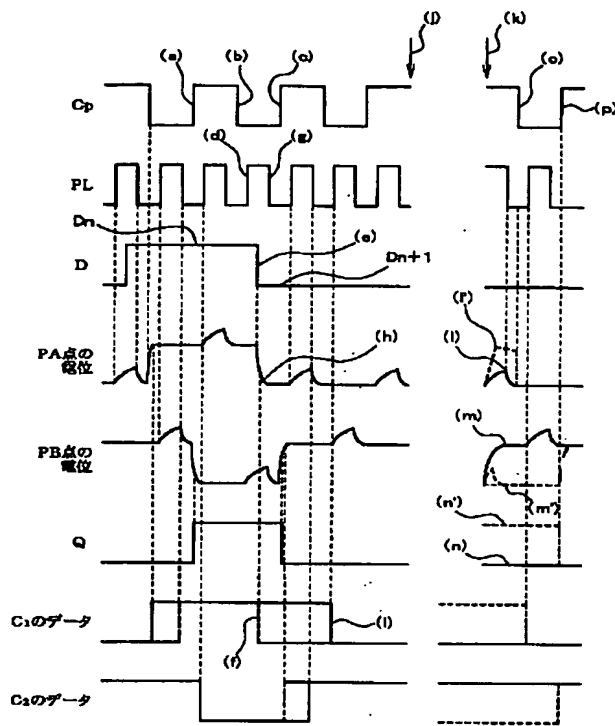
Q 出力

【図 3】



42:フリップフロップ回路
C1:誘電体コンデンサ
D:入力データ
GT1:トランジスタ
LT1:ラッチ回路
Q:出力

【図 2】

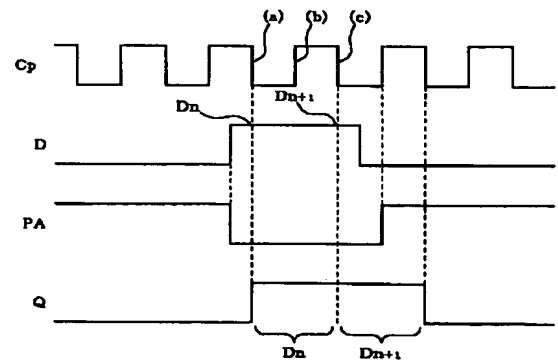


【図 6】

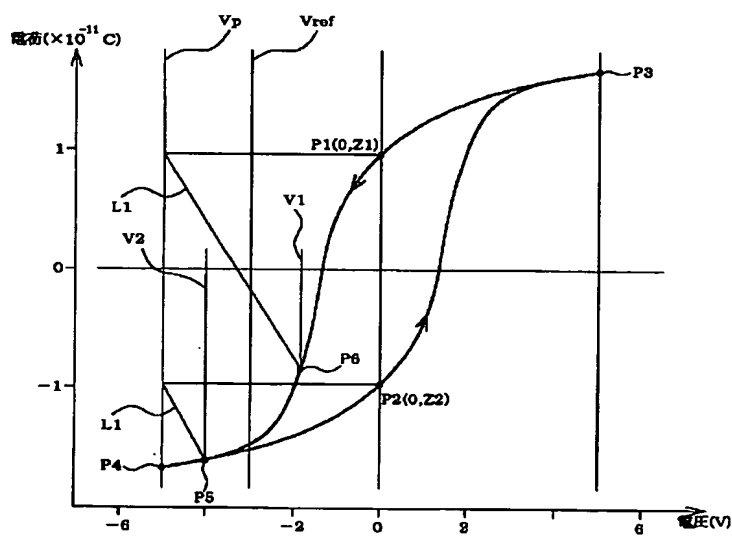
R	S	D	C_p	Q
H	*	*	*	L
L	H	*	*	H
L	L	H	↑	H
L	L	L	↑	L
L	L	*	↓	変化せず

* : "H"又は"L"

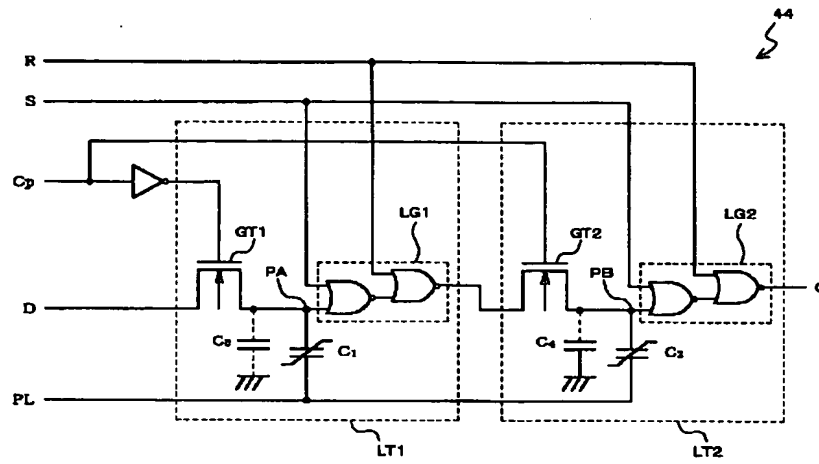
【図 9】



【図 4】

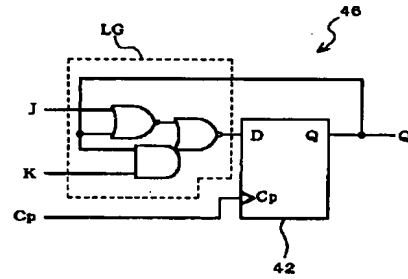


【図 5】



【図 7】

A



B

J	K	Cp	Q
H	L		H
L	H		L
H	H		反転
L	L		変化せず
*	*		変化せず

*:"H"又は"L"

【図 8】

